

## Программирование и отладка логики ПЛИС на стенде NanoBoard

Как известно, программируемые логические интегральные схемы (ПЛИС) являются альтернативой программируемым логическим контроллерам и используются для построения различных по сложности и возможностям цифровых устройств. Настраиваемый пользователем ПЛИС является устройством, специализированным на решение конкретной задачи, а значит – быстродействующим. В тех областях, где необходима быстрая обработка больших потоков данных (телекоммуникации, обработка графики, видео, звука, сложные вычисления), одним из эффективных вариантов аппаратной реализации является использование в качестве элементной базы ПЛИС. Наиболее перспективной разновидностью ПЛИС являются FPGA (Field Programming Gate Array – программируемое пространство массивов вентилей). Популярность ПЛИС FPGA во всем мире непрерывно возрастает из-за их высокого быстродействия, малого времени до выпуска готового изделия, низкой сложности производства готовой системы, ее низкой стоимости и малых габаритов.

Фирмой Altium для программирования коммутации ПЛИС и отладки логики FPGA-проекта разработано семейство отладочных станций NanoBoard, использование которых превращает программно-аппаратный комплекс Altium Designer в “инновационную станцию” (Altium Innovation Station), на которой может быть выполнен полный цикл разработки проекта ПЛИС, включая программирование тиража микросхем для установки их в печатные платы, подлежащие поставке заказчику.

### Ресурсы NanoBoard

Компания последовательно выпускала на рынок станции NanoBoard NB1, NanoBoard NB2DSK01 и NanoBoard 3000 (рис. 1) (подробнее на сайте [www.altium.com/nanoboard](http://www.altium.com/nanoboard)). По сути, каждая из моделей представляет собой компьютер с развитой периферией и средствами подключения отлаживаемой микросхемы к аппаратным средствам станда.

Сердцем отладочного станда является контроллер, осуществляющий связь исполняемого FPGA-проекта Altium Designer с “физической” микросхемой ПЛИС, установленной на станде для программирования коммутации и отладки логики проекта. Разработанный фирмой Altium протокол обмена данными Altium Designer с отладочным стандом NanoBoard носит название NanoTalk, а контроллер станда называется NanoTalk Controller.

В моделях NanoBoard NB1 и NanoBoard NB2DSK01 отлаживаемая ПЛИС устанавливается на сменных “дочерних” платах (Daughter Board), а на самой материнской плате станда располагаются только контроллер, управляющий процессом отладки и программирования коммутации ПЛИС, органы индикации, средства, имитирующие связь ПЛИС с ее внешним окружением в проектируемом функциональном узле, и средства последовательного наращивания, обеспечивающие возможность использования сразу нескольких стандов NanoBoard в одной конфигурации.

В моделях семейства NanoBoard 3000 на материнской плате станда смонтирована микросхема ПЛИС одного из трех производителей – фирм Xilinx (NanoBoard 3000XN), Altera (NanoBoard 3000AL) или Lattice (NanoBoard 3000LC), которая названа пользовательской ПЛИС (User FPGA) и может использоваться в качестве одной из реализаций FPGA-проекта (рис. 2).

В дальнейшем изложении постараемся осветить функциональные возможности и технологию использования отладочного станда NanoBoard 3000AL с предустановленной “пользовательской” ПЛИС EP3C40F780C8N фирмы Altera. На случай, если пользователь реализует проект на ПЛИС другого типа, на материнской плате предусмотрена возможность установить эту пользовательскую ПЛИС на сменной “периферийной” плате (Peripheral Board).

Связь стандов NanoBoard с ПК осуществляется через стандартный USB-порт по мультиплексированному



Рис. 1. Отладочный станд NanoBoard 3000

каналу JTAG-интерфейса. По этому каналу в ПК и из ПК передается информация, служащая для управления работой контроллера станда (NanoTalk Channel), программирования внутренней коммутации пользовательской ПЛИС (Hard Devices Channel) и загрузкой в пользовательскую ПЛИС программного приложения в случае проектирования микроконтроллеров или микро-ЭВМ (Soft Devices Channel). При подключении станда NanoBoard к ПК с работающей программой Altium Designer автоматически активизируется драйвер, опознающий наличие и идентифицирующий версию NanoBoard и периферийной платы (если она подключена) и устанавливающий связь активного FPGA-проекта с ресурсами NanoBoard.

Для обнаружения и идентификации версии NanoBoard и периферийной платы на них устанавливаются ПЗУ (1-Wire Memory), в которые занесен 40-байтовый идентификационный код, состоящий из четырех полей:

- ▶ <UniquelD> – уникальный идентификатор, присвоенный изготовителем, – обозначение типа и серийного номера микросхемы ПЗУ;
- ▶ <ClassID> – обозначение типа и версии (revision) станда NanoBoard или периферийной платы;
- ▶ <BatchID> – номер партии продукта;
- ▶ <VendorID> – обозначение производителя станда NanoBoard или периферийной платы (фирма Altium обозначается кодом 00000001h).

## Взаимодействие FPGA-проекта с ресурсами NanoBoard

Доступ активного FPGA-проекта к ресурсам NanoBoard, в том числе к пользовательской ПЛИС, происходит из оболочки Devices View в режиме Live.

Для обеспечения доступа должна быть сформирована конфигурация проекта – именованный список файлов привязки (Constraint files). Файлы привязки, описывающие ресурсы NanoBoard, как и конфигурация, могут быть сформированы вручную, однако Altium Designer предоставляет возможность облегчить эту трудоемкую работу путем автоматического формирования конфигурации. Для этого нужно щелчком правой клавиши мыши на значке NanoBoard в панели Devices

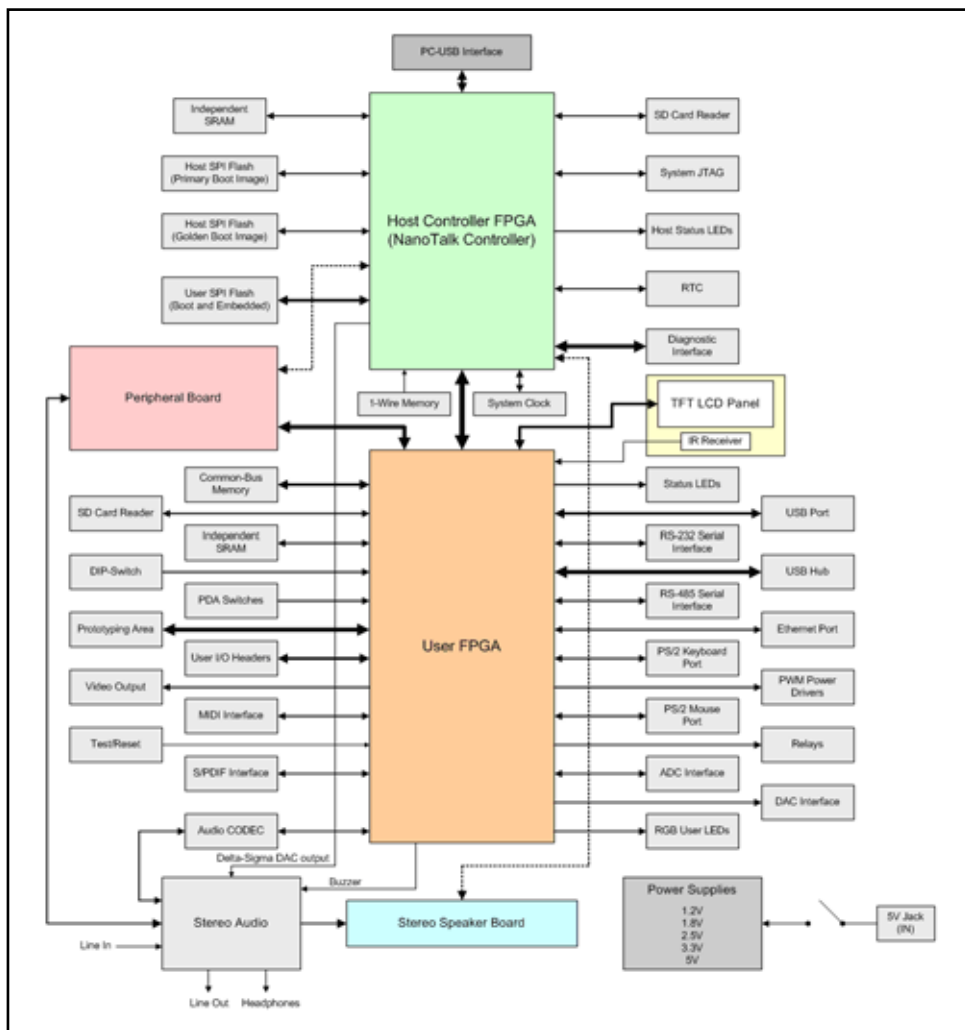


Рис. 2. Структурная схема NanoBoard 3000

View активизировать контекстное меню и указать в нем команду **Configure FPGA Project** (рис. 3). В открывающемся подменю выбрать один из списка загруженных проектов или указать команду **New FPGA Project** (Создать новый FPGA-проект).

При выборе имени существующего проекта программа находит файлы привязок, загруженные при установке Altium Designer в директорию ...\\Library\\FPGA\\ и автоматически подключает их к проекту в соответствии с обнаруженным системой идентификационным кодом NanoBoard, а именно его полем ClassID. Так, при обнаружении системой стан-

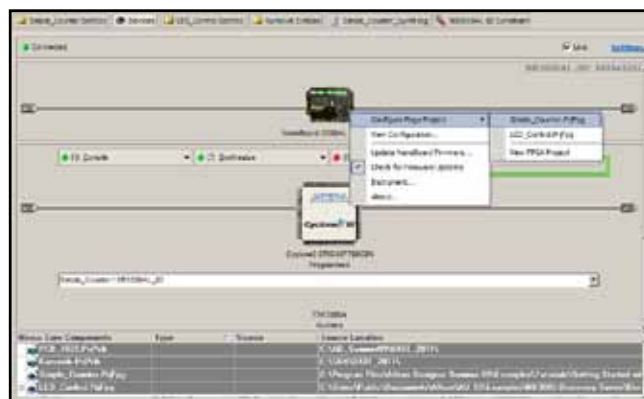


Рис. 3. Панель Devices View

да NanoBoard 3000 с идентификационным кодом <ClassID> = NB3000AL.02 программа извлекает из директории файл NB3000AL.02.Constraint. При обнаружении периферийной платы PB30.01 программа дополнительно подключает к FPGA-проекту файл привязок PB30.01.Constraint.

Командой главного меню **Project | Configuration Manager** или командой **View Configuration** из того же контекстного меню открывается диалог просмотра и редактирования конфигурации проекта (рис. 4).

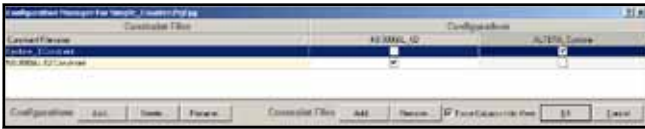


Рис. 4. Диалог настройки конфигурации FPGA-проекта

В случае использования отладочной периферийной платы программа автоматически формирует и включает в конфигурацию файл привязок, содержащий описание подключений периферийной платы к материнской плате NanoBoard 3000. Имя файла NB3000AL\_02\_BoardMapping.Constraint. Этот файл сохраняется в той же директории, что и файл проекта \*.PrjFpg.

## Порт-компоненты

Для осуществления электрической связи цепей внешнего окружения с цепями логического ядра в схеме FPGA-проекта к этим цепям в схемных документах РСВ- и FPGA-проектов подключаются одноименные метки Port. Далее в файлах привязок (Constraint) назначается подключение этих цепей к контактам выбранной ПЛИС. В случае работы с отладочным стендом NanoBoard 3000 подключение внешних выводов "пользовательской" ПЛИС выполнено печатным монтажом на материнской плате, поэтому нет необходимости подключать к внешним связям схемы FPGA-проекта стандартные порты и назначать их привязку к выводам "пользовательской" ПЛИС. Вместо этого для обеспечения возможности имитации сигналов внешнего окружения ПЛИС в Altium Designer сформированы библиотеки специальных интерфейсных компонентов, которые должны быть включены в схемный документ FPGA-проекта. Эти компоненты, называемые в терминах Altium Designer порт-компонентами, размеще-

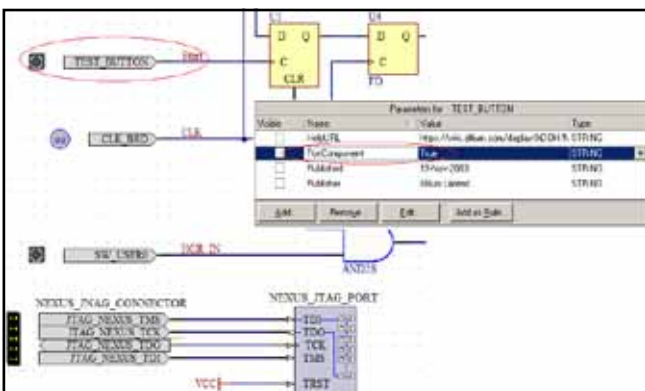


Рис. 5. Пример порт-компонентов в схемном документе FPGA-проекта

ны (для NanoBoard 3000) в библиотеке ...\Library\FPGA\FPGA NB3000 Port-Plugin.IntLib (рис. 5).

Эти интерфейсные компоненты обеспечивают автоматическое подключение ресурсов NanoBoard к входным/выходным контактам пользовательской микросхемы ПЛИС и, по присвоенному им по умолчанию параметру PortComponent True, распознаются программой как внешние по отношению к FPGA-проекту.

Компоненты Nexus\_JTAG\_Connector и Nexus\_JTAG\_Port обеспечивают доступ Altium Designer к встроенным в пользовательскую ПЛИС программным приложениям и виртуальным инструментам отладки. Сигналы, циркулирующие по этим цепям, порождаются контроллером стенда и подводятся к четырем predetermined контактам пользовательской ПЛИС.

Порт-компоненты могут быть конвертированы в обычные метки цепей Port по команде главного меню **Tools | Convert | Convert Parts To Ports** с последующим щелчком левой кнопки мыши на выбранном компоненте либо командой **Part Actions | Convert Parts To Ports** из контекстного меню, активизируемого щелчком правой кнопки на выбранном компоненте. Они также автоматически конвертируются в стандартные метки Port при выполнении синтеза проекта, обеспечивая связность логического ядра проекта с цепями внешнего окружения ПЛИС при объединении FPGA- и РСВ-проектов.

## Программирование FPGA-проекта на "пользовательской" ПЛИС

Рассмотрим стадии программирования ПЛИС на примере проекта кольцевого счетчика, приводимого в директории пакета ...\Examples\Tutorials\Getting Started with FPGA Design\Simple Counter.PrjFpg.

Функциональная схема кольцевого счетчика (рис. 6) с коэффициентом пересчета 8 построена на базе следующих логических прототипов из библиотеки FPGA Generic.IntLib:

- ▶ двунаправленного восьмиразрядного регистра сдвига SR8CLEDDB;
- ▶ двух J-K-триггеров FJKC;
- ▶ шести инверторов INV;
- ▶ дизъюнктора (схема ИЛИ) низких логических уровней OR2B2;
- ▶ разветвителя шины J8B\_8S.

Для проверки правильности функционирования и демонстрации работы счетчика на стенде NanoBoard 3000 ко входам логики и выходам регистра подключе-

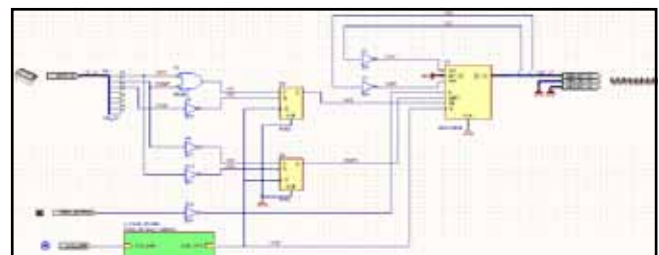


Рис. 6. Функциональная схема кольцевого счетчика

ны следующие порт-компоненты из библиотеки FPGA NB3000 Port-Plugin.IntLib:

- ▶ CLK\_REF – интерфейс с тактовым генератором стенда NanoBoard с частотой 20 МГц;
- ▶ TEST\_BUTTON – кнопка общего сброса TEST/RESET;
- ▶ DIPSWITCH – DIP-блок из 8 переключателей (SW8);
- ▶ LEDS\_RGB – блок 3×8 “пользовательских” светодиодов красного, зеленого и синего цвета (RGB USER LEDS).

Для того чтобы мелькание светодиодов, подключенных к выходам разрядов регистра, воспринималось глазом, в схему введен делитель частоты U\_Clock\_Divider с коэффициентом деления 10 миллионов (частота импульсов на выходе CLK\_OUT составляет 2 Гц). Делитель частоты построен на семи последовательно соединенных делителях CDIV10DC50,

оформлен как иерархический схемный элемент и входит в дерево документов проекта под именем Clock\_Divider\_1.SchDoc (рис. 7). В качестве альтернативного варианта делитель частоты может быть построен в виде HDL-файла в конструкциях языка описания аппаратуры VHDL и также включен в общую схему проекта как иерархический элемент.

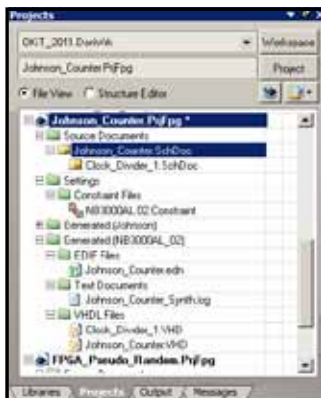


Рис. 7. Дерево документов FPGA-проекта

После сохранения и компиляции документов проекта следует выполнить программирование внутренней коммутации ПЛИС:

- ▶ Командой **View | Devices View** открыть оболочку Devices.
- ▶ Командой контекстного меню **Configure FPGA Project** (рис. 3) сформировать конфигурацию проекта (имя конфигурации NB3000AL\_02). В дерево проекта программа включает файл привязок NB3000AL.02.Constraint.
- ▶ Щелчком правой кнопки мыши на значке с изображением ПЛИС в поле Hard Devices Chain активизировать контекстное меню и указать команду **Reset** – сброс коммутации, ранее занесенной в ПЛИС.
- ▶ Выполнить последовательные стадии обработки проекта:
  - Compile – компиляцию документов проекта;
  - Synthesize – синтез промежуточного VHDL-описания \*.VHD и исходного файла описания схемы \*.edn в обменном формате EDIF для программирования в среде САПР производителя ПЛИС (Vendor Tools). Оба файла, а также файл протокола \*.log включаются программой в дерево документов проекта;
  - Build – трансляция логической структуры проекта в логические примитивы ПЛИС и формирование файла программирования коммутации внутренней структуры ПЛИС;
  - Program FPGA – загрузка файла программирования в микросхему ПЛИС на панели стенда

NanoBoard 3000 или на съемной отладочной плате PB30.

Процесс выполнения всех фаз обработки проекта сопровождается выводом сообщений в панель Messages. Кроме того, подробная информация о выполнении всех фаз обработки, включая сообщения САПР Vendor Tools (в нашем случае это программа Altera QUARTUS II), отображается в панели Output.

По окончании загрузки программы коммутации надпись **Reset** (Сброшено) под значком микросхемы ПЛИС в панели Devices View заменяется на **Programmed** (Запрограммировано), а на материнской панели NanoBoard загорается светодиод LED2 PGM (Programmed). После этого можно запускать счетчик и проверять его работу:

- ▶ Кнопкой Test/Reset триггеры счетчика сбрасываются в нулевое состояние.
- ▶ Перемещением движка одного из переключателей SW6 или SW7 в положение ON (включено) запускается счет слева-направо или справа-налево. Светодиоды RGB\_USER\_LEDS отображают перемещение “единиц” и “нулей” по разрядам счетчика.
- ▶ Перемещением движка переключателя SW5 в положение ON счет останавливается, если при этом переключатели SW6 или SW7 переведены в положение OFF (выключено).

Микросхемы ПЛИС семейства Altera Cyclone III допускают многократное перепрограммирование коммутации, но не содержат в своей структуре энергонезависимого ПЗУ, в котором хранилась бы эта программа. Для этой цели в аппаратуре пользователя программа коммутации заносится в конфигурационное ПЗУ. Программа коммутации логики ПЛИС, занесенная в нее на стенде NanoBoard 3000, действует до тех пор, пока включено питание, и после выключения питания теряется. Поэтому для повторного запуска проекта на стенде NanoBoard 3000 требуется повторная загрузка программы коммутации в оболочке Devices View.

## Периферийная плата PB30

Фирма Altium выпускает для работы совместно со стендом NanoBoard 3000 семейство периферийных плат для различных приложений. Нас в этом семействе интересует отладочная (Prototyping) периферийная плата PB30 (рис. 8). Периферийная плата PB30 не со-

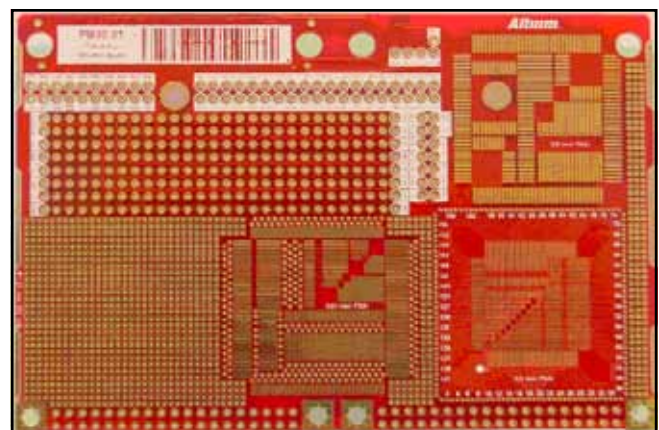


Рис. 8. Периферийная плата PB30

держит на себе ресурсов в обычном понимании. Это пустая печатная плата, на которой выполнены контактные площадки для монтажа SMD или штыревых ПЛИС-компонентов пользователя, подлежащих программированию коммутации и отладке логики. Контактные площадки сгруппированы в пять полей с шагом расположения выводов 0,5, 0,65, 0,8, 1,27 и 2,54 мм. Для соединения с материнской платой NanoBoard 3000 на плату PB30 устанавливается 100-контактная розетка электрического соединителя MOLEX-54075-1009. Выводы пользовательской ПЛИС соединяются с контактами соединителя проводным монтажом.

Для опознавания платы PB30 в конфигурации NanoBoard на плате устанавливается идентификационное ПЗУ DS2502P (подробнее на сайте [www.maxim-ic.com](http://www.maxim-ic.com)).

## Заключение

В заключение отметим достоинства и недостатки рассмотренной конфигурации инновационной станции, объединяющей программный комплекс Altium Designer с ресурсами отладочного стенда NanoBoard 3000.

К достоинствам следует отнести наличие развитой периферии, реализованной на материнской плате NanoBoard 3000. Это позволяет разрабатывать и отлаживать сложные иерархические FPGA-проекты, включающие на нижнем уровне иерархии проекты ядер (Core Project), таких например, как контроллеры интерфейса RS232, RS485, USB, Ethernet и других протоколов, контроллеры клавиатуры, дисплея, АЦП/ЦАП, цифрового ввода-вывода аудиосигнала и др.

Вместе с тем можно отметить и ряд недостатков, ограничивающих сложность проектов, которые можно разработать в рассматриваемой среде:

▶ Наличие на материнской плате NanoBoard 3000AL несменяемой "пользовательской" ПЛИС Altera

Cyclone III EP3C40F780C8N позволяет разрабатывать и отлаживать FPGA-проекты только на этой микросхеме.

▶ Эта "пользовательская" ПЛИС имеет 780 контактов, из которых 535 доступны для программирования пользователем, в то время как в настоящий момент на рынок поступают микросхемы ПЛИС с числом выводов 1000 и более.

▶ Съёмная периферийная плата PB30 даёт возможность разрабатывать проекты на микросхемах других семейств и типов от того же производителя – фирмы Altera, но для программирования пользователю доступны только 50 входных-выходных контактов пользовательской ПЛИС, что является достаточно далеко не для всех возможных применений.

▶ При обработке проекта в оболочке Devices View не полностью используются ресурсы САПР Vendor Tools, в частности не выполняется оптимизация трассировки внутренних соединений и временных задержек.

Таким образом, возможность разработки и отладки проектов ПЛИС в среде Altium Designer не отменяет и не подменяет собой разработку проектов в среде САПР ведущих производителей ПЛИС.

При всем этом несомненным достоинством рассмотренной технологии является возможность выполнения сквозного проекта радиоэлектронного функционального узла на печатной плате, объединяющего в своей иерархии РСВ-проект, подчиненный ему один или несколько FPGA-проектов, вложенные в FPGA Core- и Embedded-проекты.

**В. Ю. Суходольский, доцент кафедры микроэлектроники, СПбГЭТУ "ЛЭТИ", эксперт по Altium Designer, компания Бюро ESG**

## НОВОСТИ

### Открытие учебного центра Altium

В марте в СПбГЭТУ "ЛЭТИ" состоялась встреча, посвященная официальному открытию первого в России Учебного центра Altium на базе данного высшего учебного заведения. Во встрече приняли участие ректор СПбГЭТУ "ЛЭТИ" В. М. Кулузов, проректор В. А. Тупик, директор Управления информационных технологий Ю. С. Татаринов. На открытие приехал директор по работе с партнерами в регионе Европа, Ближний Восток, Африка компании Altium Майкл Лейдел.

Инициатором проекта выступил авторизованный партнер Altium – компания

"Бюро ESG", которая активно занимается продвижением продуктов и решений Altium на российском рынке. Продвижение предполагает активную подготовку специалистов по данному направлению для компаний, занимающихся проектированием печатных плат и ПЛИС. Открытие учебного центра выводит этот процесс на совершенно иной уровень, так как позволит не только готовить молодых инженеров и конструкторов, но и создает базу для повышения квалификации специалистов из приборостроительных компаний Санкт-Петербурга, Северо-Запада и других регионов.

Директор Управления информационных техноло-

гий Ю. С. Татаринов рассказал об опыте СПбГЭТУ "ЛЭТИ" в области проектов сотрудничества вуза с различными IT-компаниями, которые так же как компания Altium считают необходимым приобщать студентов к самым передовым технологиям и системам проектирования и управления различными процессами.

Директор по работе с партнерами в регионе Европа, Ближний Восток, Африка компании Altium Майкл Лейдел познакомил участников встречи с основными преимуществами решений Altium и их распространением в различных отраслях мировой экономики.

Директор дилерской сети по направлению Altium компании "Нанософт" Олег Илюкин рассказал об особенностях продвижения этих продуктов на российском рынке.

Доцент кафедры микроэлектроники факультета радиотехники и телекоммуникаций, автор книги "Altium Designer. Проектирование функциональных узлов РЭС на печатных платах", эксперт компании Бюро ESG В. Ю. Суходольский, который активно помогал в проекте организации учебного центра, поделился своим опытом преподавания решений Altium студентам и специалистам профильных организаций.



**Altium Designer**

Проектирование  
электроники  
нового поколения

**ТОЛЬКО**

до 30 июня 2012 года

**СЭКОНОМЬТЕ**

до **84 000** рублей\*

*\* Специальное предложение по переходу с P-CAD на Altium Designer действует для компаний, имеющих лицензионные версии P-CAD, а также получивших лицензии в рамках акции "Включи легальный P-CAD"*

**Altium**

Получить подробную информацию вы можете  
на сайте [www.nanocad.ru](http://www.nanocad.ru), отправив запрос по адресу  
[altium@nanocad.ru](mailto:altium@nanocad.ru) или по тел.: (495) 645-86-26

**NANOCAD**